

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-171030

(43)Date of publication of application : 28.07.1987

(51)Int.Cl.

G06F 7/50

(21)Application number : 61-011861

(71)Applicant : NEC CORP

(22)Date of filing : 24.01.1986

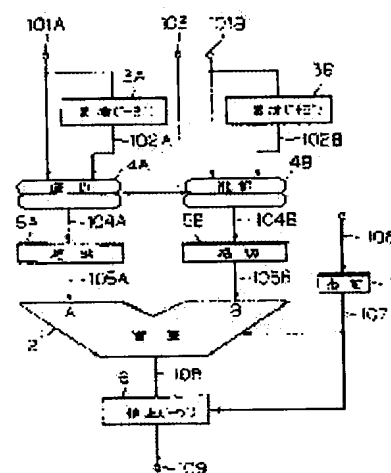
(72)Inventor : UDA TOSHIYUKI

## (54) ARITHMETIC UNIT

### (57)Abstract:

**PURPOSE:** To reduce the number of gates in a logic circuit required for arithmetic processing and to speed-up the processing by storing data subjected to conversion operation in a storage means storing arithmetic data at the time of executing binarization decimal operations.

**CONSTITUTION:** At the time of executing binarization decimal operations, a selection signal 103 with respect to selectors 4A and 4B comes to a low level, and the selectors 4A and 4B execute selection actions so that they can output the output data of data conversion means 3A and 3B in the data storage means 5A and 5B. Data obtained by adding three to the binarization decimal input data 101A and 101B are stored in said means 5A and 5B. An arithmetic means 2 adds and subtracts said data according to the instructions of an arithmetic mode specification means 1. For addition, three is added to two groups of the input data, which turns out to be a value added with six, and accordingly carry can be made smoothly. On the other hand, subtraction never affects the arithmetic result. If the signal 109 of the means 1 specifies addition, a correction means 6 subtracts six from the digit which is not carried.



## ⑫ 公開特許公報(A)

昭62-171030

⑬ Int. Cl.<sup>4</sup>

G 06 F 7/50

識別記号

庁内整理番号

T-6798-5B

⑭ 公開 昭和62年(1987)7月28日

審査請求 未請求 発明の数 1 (全5頁)

## ⑮ 発明の名称 演算装置

⑯ 特 願 昭61-11861

⑰ 出 願 昭61(1986)1月24日

⑱ 発 明 者 右 田 俊 幸 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 山内 梅雄

## 明 細 書

## 1. 発明の名称

## 演算装置

## 2. 特許請求の範囲

第1のデータ格納手段と、第2のデータ格納手段と、前記第1のデータ格納手段と第2のデータ格納手段へ入力するデータが2進化10進数のとき、その各桁ごとに、“3”を2進化したデータを加算して、それぞれ前記第1のデータ格納手段と第2のデータ格納手段とへ出力するデータ変換手段と、前記第1のデータ格納手段に格納されたデータと前記第2のデータ格納手段に格納されたデータとを受け入れて、2進加減算を実行する演算手段と、この演算手段が加算を行うか減算を行うかを指定する演算モード指定手段と、この演算モード指定手段の指定内容に応じて、前記演算手段の演算結果から“6”を2進化したデータを減算して補正する補正手段とを有することを特徴とする演算装置。

## 3. 発明の詳細な説明

## 〔産業上の利用分野〕

本発明は、特に、2進化10進数の加減算を実行する演算装置に関する。

## 〔従来の技術〕

演算装置で2進化10進数の加減算を実行するためには、次のような手法が採用されている。

まず、2進化10進数の各桁は、2進4ビット構成とされる。4ビット構成では、2進表現で“0000”から“1111”まで、すなわち10進表現でいえば、“0”から“16”までの値をとり得るが、そのうち2進表現で“0000”から“1001”（10進表現で“0”から“9”）までの値が使用される。なお、本明細書中、特に2進表現と断りのない限り、数字は10進表現とする。

ここで、このような2進化10進数を加算処理する場合、“9”以上の値をとり得るためそのままでは桁上げが行われなくなる。そこで、演算実行時に、まず、各桁の2進化10進数に“6”（2進表現で“0110”）を加算する。

こうすれば“9”に相当する値が“15”に相当する値に変換され、これに、“1”が加算されれば“16”となって、2進表現で“1111”を超え、桁上げが正しく行われることになる。

減算処理の場合は、このようなデータの変換操作は不要である。

こうした手法によって、上位桁への桁上げの論理(キャリー生成論理)は、2進減算の論理がそのまま利用でき、一般に知られているキャリールックアヘッドなどの高速演算技術を採用することができる。

なお、上記加減算処理の結果、桁上げが行われた桁については、その値は正しい値を示しているが、桁上げが行われない桁については、10進表現で“6”も加算されたままの値となっている。従って、その“6”を減算する補正が必要となる。  
〔発明が解決しようとする問題点〕

このように、2進化10進数の加減算処理においては、演算すべきデータについて、必要に応じて“6”を加算する等の変換操作を必要とし、さ

らに演算の後半で、その補正等を必要とする。従って、演算装置のハードウェアのゲート設数が2進数の演算装置に比べて多くなってしまふ。

例えば、同一の演算装置で、2進数の演算と2進化10進数の演算のいずれの演算も可能にしたものがある。こうした演算装置については、2進化10進数の演算のために多くのゲートが設けられて、計算機全体の動作クロックが、この回路におけるデータ処理による遅延時間に制約を受けてしまい、演算の高速化が図れないという問題があった。

本発明は以上の点に着目してなされたもので、2進化10進数の演算の高速化を図った演算装置を提供することを目的とするものである。

〔問題点を解決するための手段〕

本発明の演算装置は、第1のデータ格納手段と、第2のデータ格納手段と、上記第1のデータ格納手段と第2のデータ格納手段へ入力するデータが2進化10進数のとき、その各桁ごとに、“3”を2進化したデータを加算して、それぞれ上記第

1のデータ格納手段と第2のデータ格納手段とへ出力するデータ変換手段と、上記第1のデータ格納手段に格納されたデータと上記第2のデータ格納手段に格納されたデータとを受け入れて、2進加減算を実行する演算手段と、この演算手段が加算を行うか減算を行うかを指定する演算モード指定手段と、この演算モード指定手段の指定内容に応じて、前記演算手段の演算結果から“6”を2進化したデータを減算して補正する補正手段とを有することを特徴とするものである。

〔作用〕

一般に演算の実行をあたっては、加算あるいは減算等の演算モードを指定し、また演算されるデータを転送する等の準備作業的処理がなされる。演算される2つのデータと演算モードを指定する信号等は、通常、必ずしも同一タイミングでセットされるわけではない。従って、この間は、時間的にある程度余裕がある。

そこで本発明のように、2進化10進数の加減算を行う場合、第1のデータ格納手段と第2のデ

ータ格納手段とにデータをセットする前に、その演算モードを無視して無条件にデータに“3”を加算するデータ変換を行ってしまう。こうすれば、従来装置とほとんど変わり無い速度でデータのセットができ、そのうえ演算の準備も完了する。

その後2つのデータについて加算処理が実行されれば結果的に各桁に“6”が加算されたことになる。また、減算処理が実行されれば“3”が互いにキャンセルされ、減算結果に影響を与えない。

加算処理の結果桁上げがなかった桁については、補正手段で“6”を減算すればよい。

このようにすれば、データがデータ格納手段に格納された後は、データの変換操作なしにただちに演算処理を実行することができ演算時間の短縮化を図ることができる。

〔実施例〕

図は本発明の演算装置の実施例を示すブロック図である。

この演算装置は、2つの入力データ101A、101Bを演算処理して演算結果109を出力す

る装置である。この装置には、演算処理が加算か減算かを指定するための演算モード信号106を格納する演算モード指定手段1と、この指定に従って演算を行う演算手段2が設けられている。

演算モード指定手段1は演算モード信号106を一時的格納するレジスタから構成される。また演算手段2は、2進数および2進化10進数を演算することのできる既知の演算回路から構成される。

演算手段2の前段には、入力データ101A、101Bを受け入れて、その変換動作を行うデータ変換手段3A、3Bと、このデータ変換手段3A、3Bの出力する変換後のデータ102A、102Bと、もとのデータ101A、101Bとをそれぞれ受け入れて、そのいずれか一方を選択して出力するセレクト4A、4Bと、セレクトの出力したデータ104A、104Bを受け入れて格納する第1のデータ格納手段5Aおよび第2のデータ格納手段5Bとが設けられている。

データ変換手段3A、3Bはいずれも、2進化10進数として入力するデータ101A、

101Bに“3”を加算して出力する加算回路から構成される。

セレクト4A、4Bは、その制御端子に入力する選択信号103によって、2つの入力信号のいずれか一方を出力する既知のマルチプレクサ等から成る選択回路である。

第1のデータ格納手段5Aと第2のデータ格納手段5Bとは、いずれもセレクト4A、4Bから出力されたデータ104A、104Bを受け入れて、演算手段2が演算を実行する間これを保持するレジスタ等から成る回路である。

また、さらに、演算手段2の出力側には、補正手段6が設けられている。この回路は、演算手段2の出力する演算処理の済んだデータ108と、演算手段1の出力信号107とを受け入れて、一定の場合、演算処理の済んだデータ108から“6”を減算する処理を実行する減算回路から構成される。

すなわち、演算モード指定手段1で加算処理を指定しており、かつ桁上げの生じなかった桁につ

いて、先にデータ変換手段3A、3Bが加算した数だけここで減算し、その数の補正を行う回路である。

以上の演算装置は次のように動作する。

まず、2進数の演算の場合、例えばセレクト4A、4Bの制御端子に入力する選択信号103が、ハイレベルとされる。この選択信号103は図示しない外部回路から送り込まれる。

ここで2進数のデータ101A、101Bが入力すると、セレクト4A、4Bは、この入力データをそのまま第1のデータ格納手段5Aと第2のデータ格納手段5Bとに向けて出力する。第1のデータ格納手段5Aと第2のデータ格納手段5Bとは、その信号を演算手段2の演算実行中保持する。

一方、外部回路から演算モード指定手段1に対して、その2進数を加算するか減算するかの演算モード信号106が入力する。この演算モード指定手段1の出力信号107に応じて演算手段2は演算を実行し、演算の済んだ信号108を出力す

る。補正手段6は、この演算が2進数についてのものである場合、作動せず入力データをそのまま出力して演算結果109を得る。

次に、2進化10進数の演算を行う場合、セレクト4A、4Bに対する選択信号103はロウレベルとなり、こんどはセレクト4A、4Bがデータ変換手段3A、3Bの出力データ102A、102Bを第1のデータ格納手段5Aと第2のデータ格納手段5Bに出力するよう選択動作を行う。

第1のデータ格納手段5A、第2のデータ格納手段5Bにはすなわち、2進化10進数の入力データ101A、101Bにそれぞれ“3”を加算したデータが格納される。

“0”から“9”までの2進化10進数について、その変換操作後のデータ(3余りコードと呼ぶ)を第1表に示す。

(以下余白)

第1表

	2進数	10進数	3余りコード
0	0000	0	0011
1	0001	1	0010
2	0010	2	0100
3	0011	3	0101
4	0100	4	1000
5	0101	5	1001
6	0110	6	1010
7	0111	7	1011
8	1000	8	1100
9	1001	9	1101

このデータが、演算手段2において、2進数の演算の場合と同様に、演算モード指定手段1の指定に従って加算あるいは減算処理される。

加算処理された場合、2つの入力データにそれぞれ“3”が加算されているので合計“6”加算された値となり、先に説明した桁上げが円滑に行われる。一方、減算処理された場合、いずれのデータにも“3”が加算されているため、実質的にその減算結果には全く影響しない。

このようにして演算処理されたデータ108は、補正手段6に入力する。

上記演算手段2で加算処理が実行された場合であって、桁上げが無かった場合、あらかじめデータ変換手段で加算された合計“6”の値は誤差となる。そこで、この補正手段6は、演算モード指定手段1の出力信号109が加算処理を指定している内容のものである場合に、桁上げが行われなかった桁について、“6”を減算する処理を実行する。

このようにして、演算結果109が得られる。

この補正手段6の補正処理の前後のデータを第2表に示す。なお、この表はすべて2進数表示となっている。

(以下余白)

第2表

キャリー	補正前	補正後
1	****	****
0	00110000 01000000 00000000 00000000 00000000 00000000 00000000 00000000 00000000 00000000	00000000 00000000 00000000 00000000 00000000 00000000 00000000 00000000 00000000 00000000

この表でキャリー（桁上げの信号）が“1”の場合は桁上げ有り、“0”の場合は桁上げ無しを意味する。桁上げの有る場合、補正回路6の入力信号はそのまま出力される。これを第2表中“\*”印で示した。

また、桁上げの無い場合それぞれ“6”を減算したデータとされる。

以上のような構成をとると、第1のデータ格納手段と第2のデータ格納手段とに格納されたデータについては従来、2進数の演算か2進数10進数の演算かによってまず“6”を加算され、続いて演算処理を実行されていたが、この“6”を加算する処理が除かれている。

従って、第1のデータ格納手段と第2のデータ格納手段へデータが格納された以降については、ゲート段数が減少し、信号の遅延時間が短縮化されている。

一方、本発明においては、第1のデータ格納手段と第2のデータ格納手段へデータを格納する前にデータの変換操作を行う回路を挿入している。

通常、データ101A、101Bを第1のデータ格納手段5Aと第2のデータ格納手段5Bへ格納する処理と、演算モード信号106を演算モード指定手段1へ格納する処理のタイミングは、必ずしも一致しない。従って、これらの処理が完了するまで一定の待期時間が従来から設定されている。本発明におけるデータ変換手段のデータの交

換処理時間は、変換処理が無条件で実行されることもあって、上記待期時間内で完了してしまう。従って、実質的に演算速度を遅らせる要因とならない。

例えば、通常10進演算で取り扱うデータは符号桁を有しており、数値桁部分は絶対値表示となっている。従って、その符号桁を考慮して加算減算のいずれかの演算モードが選択されることになる。このように演算モードの選択は、データのセットよりも長時間を要する。従って、データを第1のデータ格納手段と第2のデータ格納手段に格納する前のデータの交換処理等は演算速度を遅らせることにならないのである。

#### 〔変形例〕

本発明の演算装置は以上の実施例に限定されない。

この演算装置は、2進数の演算と2進化10進数の演算の両方ができるものを例示したが、2進化10進数の演算専用ののものであってもさしつかえない。また、加減算のほか、論理演算や剰除算

も実行できるものであってさしつかえない。

#### 〔発明の効果〕

以上説明した本発明の演算装置は2進化10進数を演算するにあたり、演算データを格納する格納手段に、一定の変換操作の済んだデータを格納するようにしたので、その演算処理に必要な論理回路のゲートの段数を削減し、演算処理の高速化を図ることができる。

#### 4. 図面の簡単な説明

図は本発明の演算装置の実施例を示すブロック図である。

- 1 …… 演算モード指定手段、
- 2 …… 演算手段、
- 3 A、3 B …… データ変換手段、
- 5 A …… 第1のデータ格納手段、
- 5 B …… 第2のデータ格納手段、
- 6 …… 補正手段。

出 願 人  
代 理 人

日本電気株式会社  
弁 理 士 山 内 梅 雄

